

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number:

03053561 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 01187496

(51) Intl. Cl.: H01L 27/06 H01L 21/331 H01L 21/76
H01L 27/04 H01L 29/73

(22) Application date: 21.07.89

(30) Priority:

(43) Date of application
publication: 07.03.91(84) Designated
contracting states:(71) Applicant: FUJITSU LTD
FUJITSU VLSI LTD(72) Inventor: AKIYAMA TAKEHIRO
TAKEGAWA KOUJI

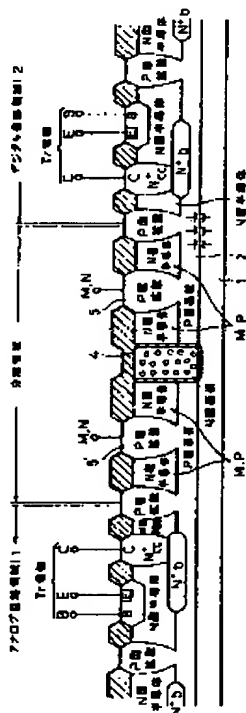
(74) Representative:

(54) SEMICONDUCTOR
INTEGRATED CIRCUIT DEVICE

(57) Abstract:

PURPOSE: To prevent noises from penetrating into a circuit from a power source so as to effectively protect the circuit against malfunction by a method wherein an isolating region formed of insulator is provided penetrating through a second and a third layer, and further a conductive type isolating region is provided on both the sides of the former isolating region so as to isolate the third layer.

CONSTITUTION: A first-conductivity-type first semiconductor layer 1 and a second semiconductor layer 2 whose conductivity type is opposite to that of the first semiconductor layer 1 are laminated, furthermore a first-conductivity-type third semiconductor layer 3 is formed on the second semiconductor layer 2 to form a three-layered structure, an isolating region 4 is provided penetrating through the insides of the second layer 2 and the third layer 3 from the surface of the third layer 3 in a longitudinal direction vertical to the direction in which the layers 2 and 3 are arranged so as to isolate the layers 2 and 3 from each other. Then, at least one of isolating regions 5 and 5' of the second conductivity type is provided onto both the sides of the isolating region 4 in the third layer 3 respectively, and moreover either an analog circuit 11 or a digital circuit 12 is provided outside the isolating region 5 or 5' respectively, where the circuits 11 and 12 are different from each other.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-53561

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月7日

H 01 L 27/06

8728-5F
8225-5F

H 01 L 27/06
29/72

1 0 1 E
※

審査請求 未請求 請求項の数 3 (全8頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-187496

⑰ 出 願 平1(1989)7月21日

⑱ 発 明 者 秋 山 岳 洋 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内

⑲ 発 明 者 竹 川 功 滋 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 出 願 人 富士通ヴィエルエス
アイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2

㉒ 代 理 人 弁理士 青 木 朗 外4名

最終頁に続く

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 第1の導電型を持つ第1の半導体層、該第1の半導体層に積層された第1の導電型と反対の導電型を持つ第2の半導体層、及び該第2の半導体層に積層された第1の導電型を持つ第3の層とから構成されており、かつ該第2と第3の層をそれぞれを互に分離する、絶縁体からなる第1の分離領域が該第2と第3の層を貫通して設けられており、更に該第1の分離領域の両側に該第3の層を分離する第2の導電型を有する半導体からなる第2の分離領域が設けられておりかつ該第1及び第2の分離領域をはさんで、一方の第3の層内にアナログ回路が、他方の第3の層内にデジタル回路が形成されるように設けられていることを特徴とする半導体集積回路装置。

2. アナログ回路もしくはデジタル回路の少くとも一方の回路は該絶縁体からなる第1の分離領

域によって取り囲まれていることを特徴とする請求項1記載の半導体集積回路装置。

3. アナログ回路もしくはデジタル回路の少くとも一方の回路は該第2の導電型を有する第2の分離領域によって取り囲まれていることを特徴とする請求項1記載の半導体集積回路装置。

3. 発明の詳細な説明

(概 要)

本発明は半導体集積回路装置に関し、少くとも1組以上のデジタル・アナログ回路が同一チップ内に混在している半導体集積回路において相互のノイズ干渉を防止する分離手段を提供することを目的とし、第1の導電型を持つ第1の半導体層、該第1の半導体層に積層された第1の導電型と反対の導電型を持つ第2の半導体層、及び該第2の半導体層に積層された第1の導電型を持つ第3の層とから構成されており、かつ該第2と第3の層をそれぞれを互に分離する、絶縁体からなる分離領域が該第2と第3の層を貫通して設けられており、更に該第1の分離領域の両側に該第3の層を

分離する第2の導電型を有する半導体からなる第2の分離領域が設けられておりかつ該第1と第2の分離領域をはさんで一方の第3の層内にアナログ回路が他方の第3の層内にデジタル回路が形成されるように設けられるように構成する。

(産業上の利用分野)

本発明はデジタル回路とアナログ回路とが混在した半導体集積回路においてノイズ干渉によるトラブルを防止するための分離手段を有する半導体集積回路装置に関するものである。

(従来の技術)

近年機器の小形化に伴い、各種回路の集積化、あるいは集積回路同士の複合化が多くなってきている。この中でデジタル回路とアナログ回路という従来はノイズ干渉等の問題から切り離されていた回路同士の複合化も例外でなくなっており、同一チップ上に混載することが検討されて来つつある。然しながら、デジタル回路とアナログ回路

とを混在させた複合集積回路では各内蔵回路をシールドすることは不可能であり、また回路同士が非常に近い範囲に隣接しているためノイズの混入に対する対策は非常に困難であった。

この為ノイズ除去の為の特殊回路が必要となる場合も多く製造コストの上昇、と共に小型化にも制約を与えるものとなっていた。即ち、デジタル回路が出す低周波ノイズを含んだデジタル的ノイズがアナログ回路に漏れてくると、ノイズの混入を嫌うアナログ回路部ではノイズが付加されて誤動作をするおそれがある。

その場合の対策として電源間にバイパスコンデンサを付けたり双方の回路を離しその間に一定の距離を設けることが行われていたが、アナログ回路もしくはデジタル回路単独に用いられる場合はこれで十分ではあったが、アナログ回路とデジタル回路とが混載されるような場合には、電源としての基板が共通でつながっているためバイパスコンデンサを設けただけでは十分な解決が得られなくなり、そのため基板上に何らかの対策を施す必

要が生じて来た。

かかる目的のために従来から半導体集積回路の分離技術には大きく分けてPN接合分離と高絶縁層分離(IOP分離)の二つの分離技術がある。PN接合分離では第4図に示すようにP形シリコンとN形シリコンの逆耐圧を利用して回路間分離を行うが、その際PN逆バイアス部分には寄生容量が存在している。この為分離された両端の回路間にはAC的に見ると第4図に示されるように容量バイパスコンデンサ6、6'が存在することになり、ノイズがこの容量を通して伝わる可能性が考えられる。

一方高絶縁層分離においては第5図に示すようにP型基板7上に形成されたNエピタキシャル層8に該層に対して縦方向となるように溝を掘り、その溝内に高絶縁物10を埋め込み絶縁層9を形成する。この方法では高絶縁物による分離の為、通常その分離部分に寄生容量は存在しない。しかしP型基板部分7(通常電源電位)の絶縁は行っていない為、この基板を通して両端の回路は電気

的につながっていることになる。

(発明が解決しようとする課題)

上記したように従来の分離技術においては、PN接合分離技術を用いる場合にはPN接合面に自然発生的に形成される寄生容量バイパスコンデンサが存在すること、又高絶縁層分離技術(IOP)を用いる場合には基板電位が互に離れてしまっているということからこれ等の技術をデジタル回路とアナログ回路とが混在する半導体集積回路に応用しても各回路の機能単位を互に完全に分離することは不可能であった。

本発明の目的は、上記した従来技術の欠点を改良し、アナログ回路とデジタル回路が混在する半導体集積回路における両回路間のノイズ干渉により電源からのノイズのまわり込みを防止し回路の誤動作を有効に防止することの出来る分離手段を有する半導体集積回路装置を提供しようとするものである。

(課題を解決するための手段)

本発明に係る半導体集積回路装置は、上記した目的を達成するため基本的には次のような技術構成を有するものである。即ち、第1の導電型を持つ第1の半導体層、該第1の半導体層に積層された第1の導電型と反対の導電型を持つ第2の半導体層、及び該第2の半導体層に積層された第1の導電型を持つ第3の層とから構成されており、かつ該第2と第3の層をそれぞれを互に分離する、絶縁体からなる分離領域が該第2と第3の層を貫通して設けられており、更に該第1の分離領域の両側に該第3の層を分離する第2の導電型を有する半導体からなる第2の分離領域が設けられておりかつ該第1及び第2の分離領域をはさんで、一方の第3の層内にアナログ回路が、他方の第3の層内にデジタル回路が形成されるように設けられて半導体集積回路装置である。

つまり本発明にあっては、アナログ回路11とデジタル回路12とが混在している半導体集積回路13において、両回路11と12との間ノイズ

従って半導体集積内の異なる回路間の分離は非常に高抵抗に行うことが出来、又回路間には寄生容量による結合も基板等を通しての電気的結合とも無縁となる。又上記絶縁物からなる分離領域4の両側に形成された第3の層3を分離している分離領域5、5'に形成されているPN接合においては、上記分離領域4の補強を兼ねる他かかるPN接合により発生する寄生容量分はP型基板が分離されているから各回路毎に独立した電源間容量として作用するので他の回路から入り込んだノイズはこれに吸収され回路の電源に乗ることが防止される。

以上の作用が協同することによって、従来ノイズの干渉が問題となっていたデジタル回路とアナログ回路間を完全に分離することが可能となる。

(実施例)

以下本発明に係る半導体集積回路装置の具体例を図面にもとづいて詳細に説明する。

第3図は本発明に係る半導体集積回路装置にお

干渉を防止するため従来技術のPN接合分離技術と高絶縁層分離技術とをその有効性を十分に生かしつつ併用し、しかもこれに新たな技術を追加して、従来欠点を補うことによって、完全な分離を達成せしめることに成功したものである。

より具体的に云うならば、上記半導体集積回路装置においてノイズが発生した場合まず高抵抗である絶縁層によってまずノイズの遮断を行い、次でバイパスコンデンサのような容量を多数設けておくことによって電源のノイズを落そうとするものである。

(作用)

本発明にあっては電源用基板である第2の層2を絶縁物からなる分離領域4により完全に分離するとともに第1の層1を第2の層3の電源とは独立した別の電源に接続しておくことによって半導体基板からなる第2の層2の分離された一方の層から第1の層1を通して他方の第2の層2にノイズがもれることは完全に防止出来る。

ける1具体例の平面図を示すものであって、同一チップ13上にアナログ回路11としての発振回路とデジタル回路12としての分周回路とが設けられている例を示したものであり、上記アナログ回路11を取り囲んでいる黒太線は高抵抗性を示す絶縁体から構成された分離領域4であり、又双方の回路11、12をとり囲んでいるハッチング線

(B)は上記した第2の導電型を有する分離領域を示すものである。又第1図は本発明に係る半導体集積回路装置の1具体例を示す断面図であり又本発明の原理構成図でもある。一般に、デジタル回路である分周器はその分周出力と高調波はノイズとして発振器の出力に影響を与え、発振出力の特性を劣化させる原因となる。

第1図から明らかなように本発明に係る半導体集積回路装置は、高絶縁層分離(10P分離)における基板電位の問題を解決するためまず第1の導電型を有する第1の半導体層1と第1の導電型とは反対の導電型を有する第2の半導体層2とを積層し、更に第2の半導体層上に第1の導電型を有す

る第3の半導体層3を形成した3層構造体を形成し第3の層の表面から第3の層3と第2の層2の内部をそれぞれの層の配列方向と直交した縦方向に貫通した絶縁物から構成された分離領域4を設け第2の層の第3の層とを分離せしめる。

次で第3の層3における上記分離領域4の両側の部分に第2の導電性を有する分離領域5、5'を少なくとも1個ずつ設け、更にその外側アナログ回路11もしくはデジタル回路12のいずれか一方を互に異なる回路となるように設けたものである。

第1図における具体例においては、第1の層と第3の層はN型半導体基板とし第2の層はP型半導体基板としたがこの組合せは逆にしても良いことは明らかであり電源の接続を逆転させることによって容易に実施出来る。又本具体例においては第2の層であるP型半導体を電源として使用しこれをグランド(GND)即ちモストネガティブ(M.N.)に接続しておく、又第3の層においてはN型半導体をエピタキシャル成長させたものが使用されており、上記分離領域5、5'は第3層のN型半導

体層中にP型の不純物を注入又は拡散等の手段により形成したものであり、かかる分離領域はモストネガティブ(M.N.)に又第3層のN型半導体層はモストポジティブ(M.P.)にそれぞれ接続させておく。一方第1の半導体層1であるN型基板は、直接電源として作用するものでなく分離領域4により分離された第2層のP型基板2'と2''同士を分離するためのものであってP型基板の電源電圧より高い電圧、例えばモストポジティブ(M.P.)電圧とグランド(GND)との中間的な電圧を印加されているものである。勿論電源電位に等しいものであっても良い。従来における高絶縁層分離方法にあっては第5図に示すとおり、N型エピタキシャル半導体層8は高絶縁物10からなる分離領域9によって電源は分離されてはいるが、電源として使用されるP型半導体基板7は共通であるためグランドをいくらアナログ回路用とデジタル回路用とに分離してもノイズが消されず一方側から他方側に伝搬されるという危険があった。

そのため本発明では上述したように構成しかつ

上記分離領域4をはさんで第1の層1と第2の層との間にP-N-P接合を形成し、同時に第1の層を第2の層の電位よりも高い電位に保持させることによって第6図の等価回路に示されるような逆ダイオードを形成するものであり、これによって第2の層における一方の分離された電源2'と他方の分離された電源2''との間は完全に電氣的に分離しうるのである。上記した第1の層に印加する電圧はいずれの回路の電源とも関係のないもので、要は第2のP型基板に印加される電源電圧より高くすればよいのであって、これは、第1の層と第2の層を分離しかつ第2の層内にノイズの伝搬が生じないようにするためのものである。上記第1の層の電圧は第2の層のグランドと電源電圧との中間電位にとることが最も理想的である。尚第1の層であるN型基板と第2の層であるP型基板とを積層することは両層の間にバスコンデンサの容量を設けN型基板の電位に生ずるノイズもP型基板にのらないようかかかる容量で吸収する作用もあるが主な機能は上記したPNPダイオード

を形成する点にある。次に本発明においては上記分離領域4の両側における第3の層中にP型拡散層から構成された他の分離領域5、5'を設けたものであり、これによって該分離領域5、5'と第3の層との境界部にPN接合を形成し、機能的には多数のバイパスコンデンサがここに形成されることになる。かかる構造の作用は、バイパスコンデンサ効果をここで持たせるものであって、基本的には上記した高絶縁層4による分離で一応の絶縁は出来るがそれと同時に多少もれて来るノイズがあっても容量をつけておくことによって電源間に大きな容量を設けることによって回路毎にノイズを吸収しようとするものである。この容量は互の電源が安定するようにバイパスコンデンサとして作用するものである。第1図に示すように上記PN接合分離においてはN型半導体部分はそれぞれの回路においてモストポジティブ(M.P.)の電位に接続されており又P型半導体の部分はモストネガティブ(M.N.)の電位に接続されている。

更に本発明においては、上記した二種の分離領

域を第3図に示すように閉回路或は輪状を形成するようにして、両回路を取り囲んでおりこのことは有効なバイパスコンデンサをうるのに有効である。

従来IC内部において容量を別の素子で作るとそれぞれの電源の距離等が問題となって有効に作れないという問題があったが、上記構成とすることによって、回路全体の電源も周囲に容量を付けたというイメージとなり容量を大きくかつ有効にとりうるばかりでなく、どの回路からもほぼ均等な距離を保って形成しうる。第2図には本発明の好ましい他の具体例についての断面構造が示されている。本具体例と上記した具体例との相異点は上記の具体例では分離領域4の両側に第2の導電型を有する半導体からなる分離領域5、5'がそれぞれ一層ずつ形成されているのに対し、本具体例においては分離領域4の両側の複数段の第2導電型半導体からなる分離領域5、5'…と5'、5'…とを設けたことと、前記分離領域4により直接接触しておりかつそれによって直接分割

せしめられている第3層即ちN型半導体層の部分には、上記具体例では回路のモストポジティブ(M.P.)に接続してあったのに対し本具体例ではフローティングさせてある点とにある。尚第2図において第1図と同じ部品要素には同一の符号が付されている。つまり第2図における第2の具体例においては、第2の導電型を有する半導体、この場合にはP型拡散層(5、5'…、5'、5'…)を複数段に形成せしめ、いずれもモストネガティブ(M.N.)例えばグランド(GND)に接続せしめると同時にその間にある第3の層のN型半導体層はモストポジティブ(M.P.)に接合されPN接合分離を構成している。更に本具体例では分離領域4に接続している第3の層のN型半導体層部分をフローティング状態としておく。

かかる構成とする主な理由としては、上記絶縁体分離4部に発生する微少リーク電流がノイズを伝達するのを防止するためであり、上記絶縁体分離の補強を行うものである。この部分は第1図に示すようにモストポジティブ(M.P.)であっても構

わない。

又PN接合部分には接合部の逆バイアスにより大きな寄生接合容量が存在するため一方の回路(アナログ回路又はデジタル回路)は他方の回路(デジタル回路又はアナログ回路)との間の隣接部分にバイパスコンデンサを持つことになるのでこの寄生容量によるバイパスコンデンサはノイズ混入時にノイズを抑える作用をすることになる。より具体的に説明すると分離領域からもれてくるノイズをN型フローティング領域14を通して次にあるP型拡散による分離領域で1たんGNDに落ち、そして次に設けられたN型半導体層をモストポジティブとしておくことによってこの両側に容量を形成し電源間にある程度の容量をつける。そして更にその後形成されたP型拡散層とによって電源間に並列に大きな容量を形成させるのである。これによってデジタル回路のノイズがデジタル回路内で又デジタル回路で発生しアナログ回路に伝達したノイズはアナログ回路内で十分低下せしめられる。本発明における半導体集積回路装

置においては前記したとおり第1と第2の導電型を反対にした半導体を使用して構成しうることは勿論のことであるが第1の導電型をもつ第3の半導体層に形成される第2の導電型をもつ半導体層からなる拡散技術等によって形成された分離領域は、1又は2個に限定されるものではなく必要に応じてその個数を形成することが出来る。更に絶縁物からなる高抵抗の分離領域4は、比較的高い絶縁性を有するものであればいかなるものでも使用出来るのであって例えば多結晶シリコン、酸化シリコン等が使用出来、好ましくは第1、2図に示すように内部に多結晶シリコンを配しその外周を酸化シリコンでとり囲んで形成したものである。かかる分離領域は第2と第3の層をたて方向に貫通し第1の層に接触するようにエッチング等で孔をあけこれに上記絶縁体を挿入、注入して完成する。

尚本発明においては上記絶縁体分離される上側の基板については分離された一方の側の基板と他方の基板とは電気的につながりはない為、各回路

の基板電位は各々の回路のモストネガティブ(N型基板の場合は)でさえあれば全体の集積回路中で同電位である必要はない。

〔効果〕

本発明に係る半導体集積回路装置はアナログ回路及びデジタル回路の電源となる半導体基板に電導型それとは異なる半導体からなる層を積層した上で上記電源用の半導体層を高抵抗の絶縁体で分離させ、この分離領域周辺にPNP接合を形成し、かつこのPNP接合のNの半導体層を上記電源回路の電源電位とは異なる電位に保持させることによって高絶縁分離による回路間電源を完全に分離するとともにPN接合分離がそれを補強しつつ電源間にバイパスコンデンサを設けるものであることからそれ等の効果を相乗的に活用することが出来、従ってデジタル回路で発生するノイズがアナログ回路にもれることは完全に防止しうる。更にかかる高絶縁体分離手段とバイパスコンデンサの効果により、回路相互間のノイズ干渉による特性

劣化を抑えることが出来、今後のシステム内部回路の複合集積化に寄与するところが大きい。又上記のような効果的なノイズ対策がとりうることから、集積回路自体も小型化簡易化が出来るのでコスト低下を達成することが出来る。

4. 図面の簡単な説明

第1図は本発明に係る半導体集積回路装置の一具体例及び原理構成を示す図である。

第2図は本発明に係る半導体集積回路装置の他の具体例を示す図である。

第3図は本発明に係る半導体集積回路の具体例における平面図である。

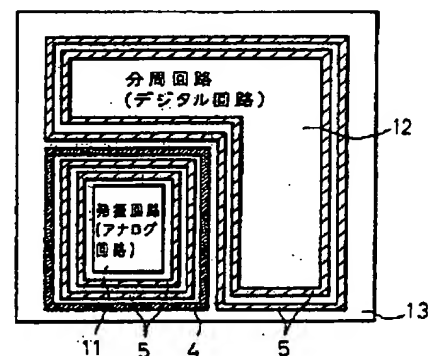
第4図は従来のPN接合分離構造を示す図である。

第5図は従来の高絶縁物分離構造を示す図である。

第6図は本発明における半導体集積回路装置における等価回路図である。

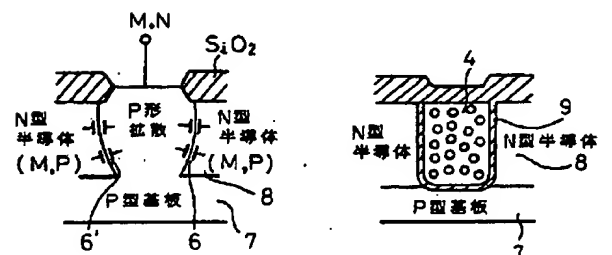
- 1…第1の導電型半導体からなる第1の層、
- 2…第2の導電型半導体からなる第2の層、

- 3…第1の導電型半導体からなる第3の層、
- 4…絶縁体分離領域、(第1の分離領域)
- 5, 5' } 第2の導電型半導体からなる分離領域、(第2の分離領域)
- 5₁, 5₂, 5' ₁, 5' ₂ }
- 6, 6'…バイパスコンデンサ、容量、
- 7…P型基板、
- 8…N型基板(エピタキシャル層)、
- 9…酸化シリコン膜、 10…多結晶シリコン、
- 11…アナログ回路(発振回路)、
- 12…デジタル回路(分周回路)、
- 13…チップ、
- 14…フローティング領域。



本発明の半導体集積回路装置の平面図

第3図

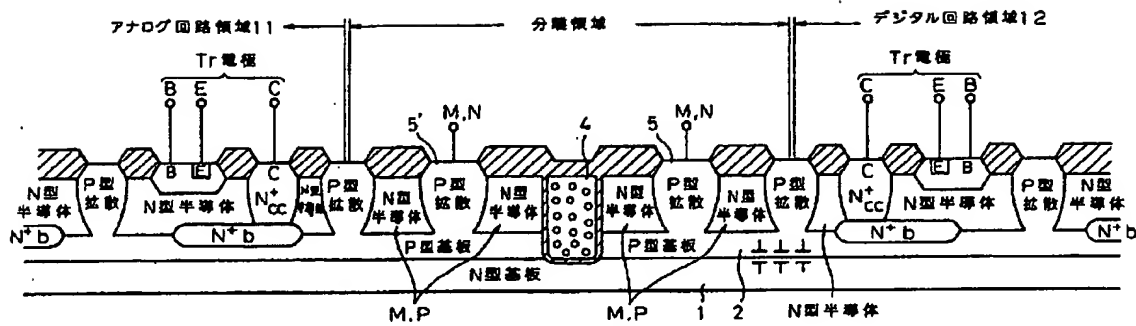


従来のPN接合分離を示す図

第4図

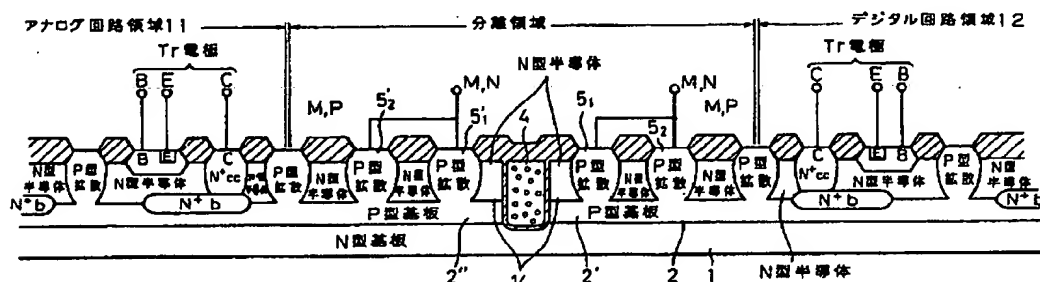
従来の高絶縁層分離を示す図

第5図



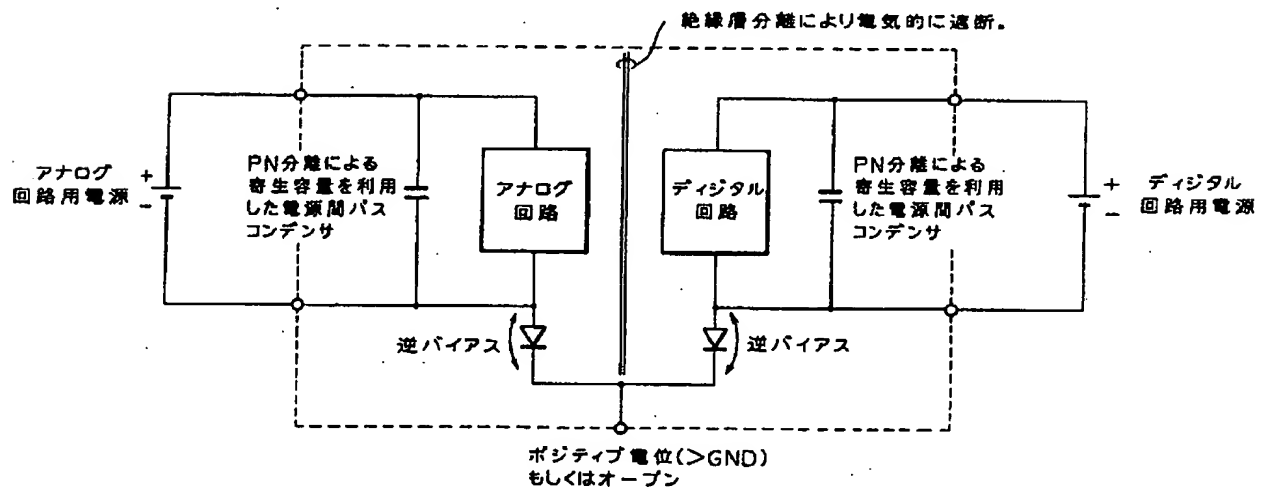
本発明における半導体集積回路装置の
1具体例を示す断面図

第1図



本発明における半導体集積回路装置の
他の具体例を示す断面図

第2図



本発明における半導体集積回路装置の等価回路を示す

第6図

第1頁の続き

⑥Int. Cl.⁵

H 01 L 21/331
21/76
27/04
29/73

識別記号

庁内整理番号

L	7638-5F
M	7638-5F
A	9056-5F